具有±30kV ESD 保护的 3.0V 至 5.5V RS485/RS422 收发器

1. 产品特性

- 满足 RS-485 TIA/EIA-485A 标准且提供更优性能
  - 低 EMI 500kbps 数据速率(CA-IF4805)和高达 20Mbps (CA-IF4820)及 50Mbps(CA-IF4850)的数据速率；
  - 1/8单位负载，允许同一总线挂接多达256个收发器
- 集成保护功能支持可靠通信
  - 驱动器输出与接收器输入引脚具有±30V故障保护
  - ±15V共模电压范围
  - 全双工器件(CA-IF48xxFS/FM/FD)为总线引脚提供±15kV人体模式ESD保护
  - 半双工器件(CA-IF48xxHS/HM/HD)为总线引脚提供±30kV人体模式ESD保护
  - 短路保护
  - 热关断
  - 接收器提供真失效保护，确保接收器输出确认状态
- 3.0V 至 5.5V 供电电压范围
- 低功耗：
  - 接收模式下，最大工作电流 960μA
  - 关断电流< 5μA
- 较宽的工作温度范围：–40°C 至 125°C
- 提供 8 引脚 SOIC 封装、8 引脚 MSOP 封装以及 8 引脚 DFN 封装

2. 应用

- 电机驱动器
- 工厂自动化和控制
- 电网
- 楼宇自动化
- 视频监控
- 过程控制
- 通信基础设施

3. 概述

CA-IF48xx 系列产品为低功耗 RS-485/RS-422 收发器，用于支持嘈杂环境下的可靠通信。器件为通信总线引脚提供±30V 的过压保护，确保总线的可靠性；±15V 的共模输入范围超出 RS-485 标准所要求的-7V 至+12V 范围，使其非常适合系统间具有较高地电位差，长线传输或存在较强干扰的工业应用。该系列收发器还为发送器输出和接收器输入提供±15kV(全双工器件)或±30kV(半双工器件)的静电放电(ESD)保护，无需额外的系统级保护元件。

CA-IF48xx 器件内部包含一路驱动器(TX)和一路接收器(RX)，工作在+3.0V 至+5.5V 电源电压范围，同一器件即可兼容+3.3V 或+5V 供电系统。该系列产品中，CA-IF48xxHS/HM/HD 用于提供半双工收发器，而 CA-IF48xxFS/FM/FD 用于提供全双工收发器。另外，CA-IF4820 和 CA-IF4850 能够分别以最高 20Mbps 和 50Mbps 的速率收发数据；CA-IF4805 采用限摆率设计，可支持最高 500kbps 的通信速率，以降低 EMI。该系列器件的接收器内部集成失效保护电路，确保接收器输入短路、开路或空闲状态下，输出保持在高电平。

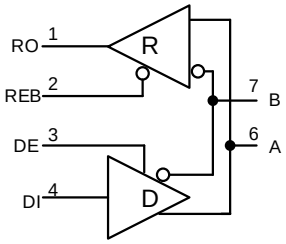
CA-IF48xx 系列器件工作在-40°C 至+125°C 扩展级温度范围。提供小尺寸、8 引脚 MSOP 和 8 引脚 DFN 封装，以满足空间受限的应用；8 引脚 SOIC 封装兼容工业标准，可轻松替代同类产品。

器件信息

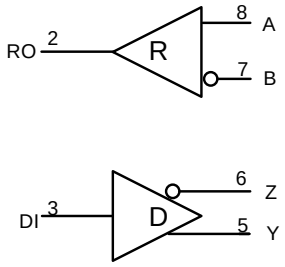
型号	封装	封装尺寸(标称值)
CA-IF48xxxS	SOIC8	3.9mm*4.9mm
CA-IF48xxxM	MSOP8	3mm*3mm
CA-IF48xxxD	DFN8	3mm*3mm

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

CA-IF4805H 简化框图



CA-IF4820F 简化框图



4. 订购指南

表 4-1 有效订购型号

型号	全双工/半双工	速率(Mbps)	封装
CA-IF4805HS	半双工	0.5	SOIC8
CA-IF4805FS	全双工	0.5	SOIC8
CA-IF4820HS	半双工	20	SOIC8
CA-IF4820FS	全双工	20	SOIC8
CA-IF4850HS	半双工	50	SOIC8
CA-IF4850FS	全双工	50	SOIC8
CA-IF4805HM	半双工	0.5	MSOP8
CA-IF4805FM	全双工	0.5	MSOP8
CA-IF4820HM	半双工	20	MSOP8
CA-IF4820FM	全双工	20	MSOP8
CA-IF4850HM	半双工	50	MSOP8
CA-IF4850FM	全双工	50	MSOP8
CA-IF4805HD	半双工	0.5	DFN8
CA-IF4805FD	全双工	0.5	DFN8
CA-IF4820HD	半双工	20	DFN8
CA-IF4820FD	全双工	20	DFN8
CA-IF4850HD	半双工	50	DFN8
CA-IF4850FD	全双工	50	DFN8

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

目录

1. 产品特性.....1
2. 应用.....1
3. 概述.....1
4. 订购指南.....2
5. 修订历史.....3
6. 引脚功能描述.....4
6.1. CA-IF48xx 半双工收发器.....4
6.2. CA-IF48xx 全双工收发器.....5
7. 产品规格.....6
7.1. 绝对最大额定值 [1].....6
7.2. ESD 额定值.....6
7.3. 建议工作条件.....6
7.4. 热信息.....6
7.5. 电气特性.....7
7.6. 转换时间特性.....8
7.7. 典型特性: 所有器件.....10
7.8. CA-IF4805 典型特性.....12
7.9. CA-IF4820/CA-IF4850 典型特性.....13
8. 参数测量电路.....14
9. 详细说明.....16
9.1. 性能综述.....16
9.2. 工作模式.....16
9.2.1. CA-IF48xxHS/HM/HD 器件功能.....16
9.2.2. CA-IF48xxFS/FM/FD 器件功能.....17
10. 应用信息.....18
11. 封装信息.....19
11.1. SOIC8 外形尺寸.....19
11.2. MSOP8 外形尺寸.....20
11.3. DFN8 外形尺寸.....21
12. 焊接信息.....22
13. 卷带信息.....23
14. 重要声明.....24

5. 修订历史

修订版本号	修订内容	页码
Version 1.00	N/A	N/A
Version 1.01	更新 MSOP8 的封装信息和卷带信息	20,23
Version 1.02	更新 I_{CC} 工作电流	7

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

6. 引脚功能描述

6.1. CA-IF48xx 半双工收发器

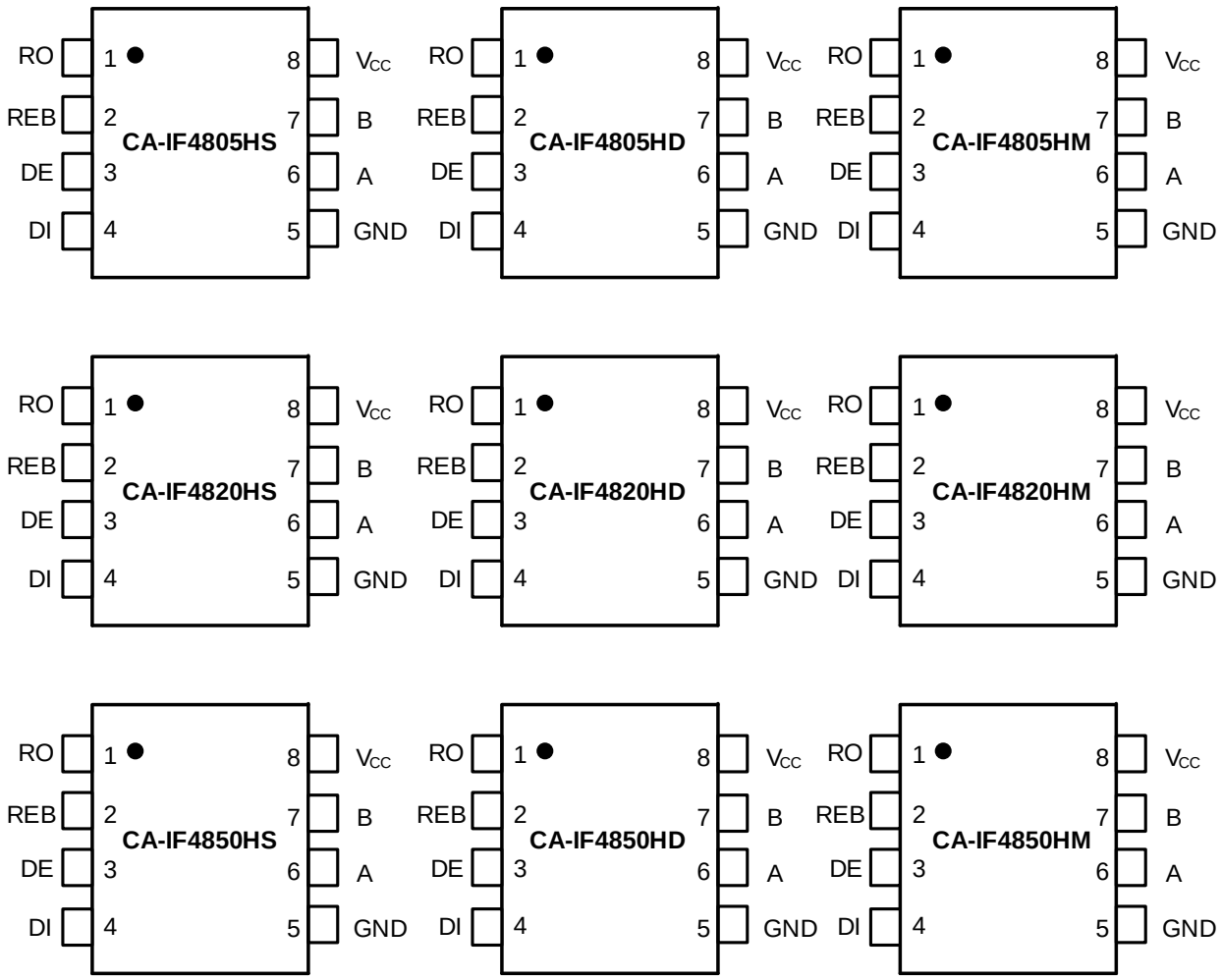


图 6-1. CA-IF48xxHS/CA-IF48xxHD/CA-IF48xxHM 引脚图

表 6-1. CA-IF48xxHS/CA-IF48xxHD/CA-IF48xxHM 引脚功能描述

引脚名称	引脚编号	类型	描述
RO	1	数字输出	接收器输出，当 REB 为低电平时，如果(V_A –V_B) > V_{TH+}，RO 输出高电平；如果(V_A – V_B) < V_{TH-}，RO 输出低电平。当 REB 为高电平时，RO 输出为高阻。 详细信息请参考表 9-2。
REB	2	数字输入	接收器使能控制，低电平有效。REB 为低电平或接 GND 时，使能接收器工作；REB 为高电平时，接收输出为高阻。
DE	3	数字输入	发送器使能控制，高电平有效。DE 为低电平时，发送输出为高阻；DE 为高电平时，发送器使能工作。
DI	4	数字输入	发送器数据输入端，DE 为高电平时，如果 DI 为高电平，则 A 输出高电平，B 输出低电平；如果 DI 为低时，则 A 输出低电平，B 输出高电平。详细信息请参考表 9-1。
GND	5	地	地
A	6	总线 I/O	RS-485/RS-422 总线接收器同相输入/发送器同相输出端。
B	7	总线 I/O	RS-485/RS-422 总线接收器反相输入/发送器反相输出端。
V_{CC}	8	电源	供电电源输入，在 V_{CC} 与 GND 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

6.2. CA-IF48xx 全双工收发器

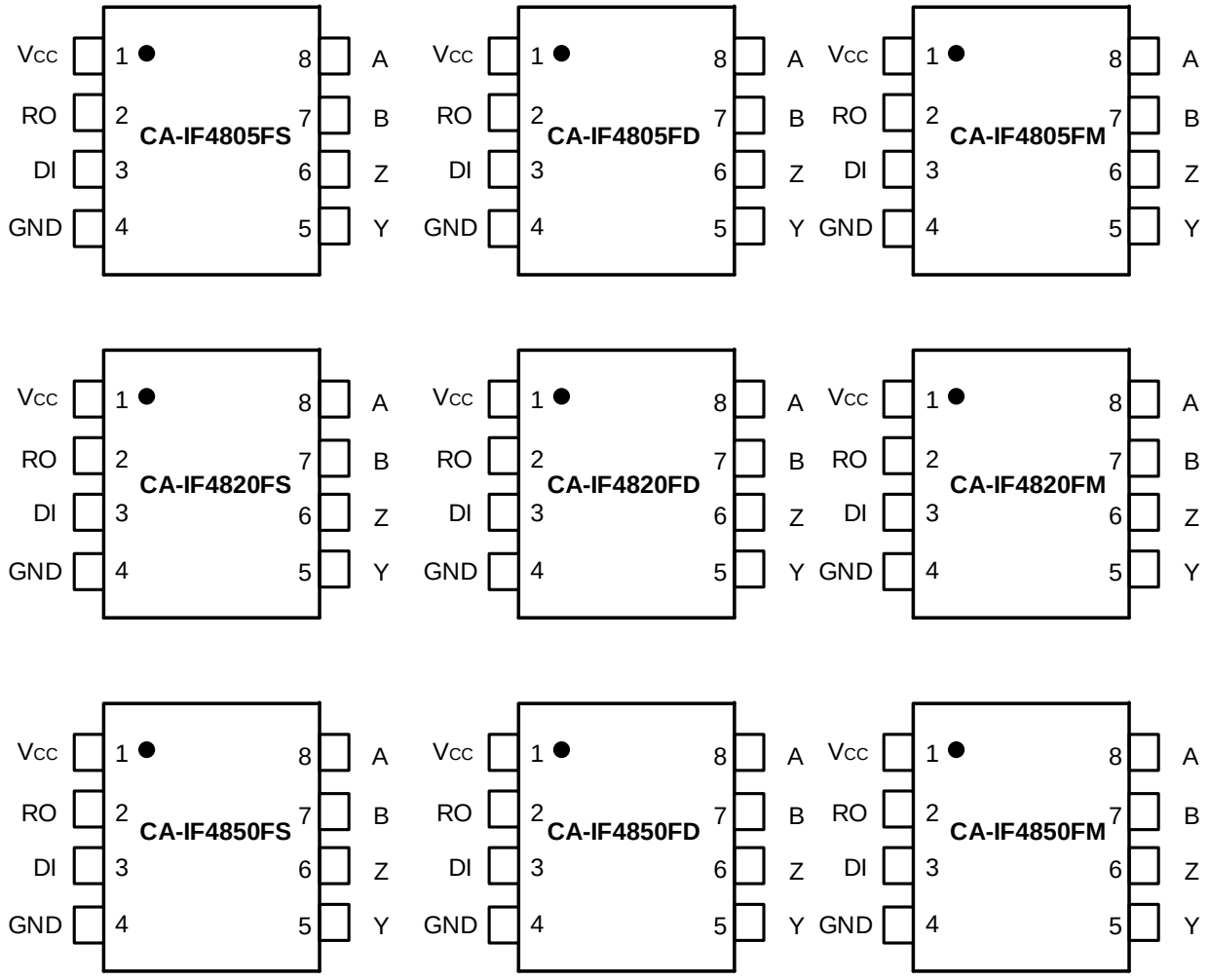


图 6-2 CA-IF48xxFS/CA-IF48xxFD/CA-IF48xxFM 引脚图

表 6-2. CA-IF48xxFS/CA-IF48xxFD/CA-IF48xxFM 引脚功能描述

引脚名称	引脚编号	类型	描述
V_{CC}	1	电源	供电电源输入，在 V_{CC} 与 GND 之间外接一个至少 0.1μF 的旁路电容，电容需靠近电源引脚安装。
RO	2	数字输出	接收器输出，如果(V_A –V_B) > V_{TH+}，RO 输出高电平；如果(V_A – V_B) < V_{TH-}，RO 输出低电平。详细信息请参考*表 9-4*。
DI	3	数字输入	发送器数据输入端，如果 DI 为高电平，则 Y 输出高电平，Z 输出低电平；如果 DI 为低时，则 Y 输出低电平，Z 输出高电平。详细信息请参考*表 9-3*。
GND	4	地	地
Y	5	总线输出	RS-485/RS-422 总线发送器同相输出端。
Z	6	总线输出	RS-485/RS-422 总线发送器反相输出端。
B	7	总线输入	RS-485/RS-422 总线接收器反相输入端。
A	8	总线输入	RS-485/RS-422 总线接收器同相输入端。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7. 产品规格

7.1. 绝对最大额定值 [1]

参数		最小值	最大值	单位
V_{CC}	电源电压	-0.3	7.0	V
V_{IO}	总线端电压 A,B,Z,Y	-30	30	V
V_{IO}	逻辑输入电压 DI,DE,REB	-0.3	7.0	V
V_{IO}	逻辑输出电压 RO	-0.3	V_{CC}+0.3	V
T_J	结温		150	°C
T_{STG}	存储温度范围	-65	150	°C

注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。

7.2. ESD 额定值

参数			数值	单位
V_{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,总线引脚 [1]	全双工 CA-IF48xxF	±15	kV
		半双工 CA-IF48xxH	±30	kV
	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001,其余引脚 [1]		±6	kV
	器件充电模型（CDM），根据 JEDEC specification JESD22-C101，所有引脚。		±2	kV

注:

1. JEDEC 文件 JEP155 规定：500V HBM 允许按照标准 ESD 控制过程进行安全生产。
2. JEDEC 文件 JEP157 规定：250V CDM 允许按照标准 ESD 控制过程进行安全生产。

7.3. 建议工作条件

参数		最小值	典型值	最大值	单位
V_{CC}	模拟电源电压	3	3.3/5.0	5.5	V
V_{IN}	总线输入电压	-15		15	V
V_{IL}	低电平输入阈值	0		0.8	V
V_{IH}	高电平输入阈值	2		V_{CC}	V
R_L	差分负载电阻	54			Ohm
$1/t_{UI}$	CA-IF4805 数据速率			500	kbps
$1/t_{UI}$	CA-IF4820 数据速率			20	Mbps
$1/t_{UI}$	CA-IF4850 数据速率			50	Mbps
T_A	环境温度	-40		125	°C
T_J	结温	-40		150	°C

7.4. 热信息

热阻		CA-IF48xxHS/FS SOIC8	CA- IF48xxHM/FD MSOP8	CA- IF48xxHM/FD DFN8	单位
$R_{\theta JA}$	IC 结至环境的热阻	120	160	45	°C/W

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.5. 电气特性

所有典型值的测试条件为： T_A = 25°C；最小值/最大值参数在推荐工作条件下测试，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
驱动器							
|V_{OD}|	总线输出差分电压	V_{CC}=3.3V, R_L =60 Ω, -15 V ≤ V_{test} ≤ 15 V (图 8-1 图 8-1. 驱动器差分输出电压图 8-1)[1]		1.5	2.4		V
		R_L =60 Ω, -15 V ≤ V_{test} ≤ 15 V , 4.5 V ≤ V_{CC} ≤ 5.5 V (图 8-1)		2.1			V
		V_{CC}=5.0V, R_L = 100 Ω (图 8-2)		2	4		V
		V_{CC}=3.3V, R_L = 100 Ω (图 8-2)		1.5	2.7		V
		V_{CC}=5.0V, R_L = 54 Ω (图 8-2)		1.5	3.7		V
		V_{CC}=3.3V, R_L = 54 Ω (图 8-2)		1.5	2.4		V
Δ|V_{OD}|	差分输出电压变化	V_{CC}=3.3V/5.0V, R_L = 54 Ω (图 8-2)		-200		200	mV
V_{OC}	共模输出电压			1	V_{CC}/2	3	V
$\Delta V_{OC(SS)}$	共模输出电压变化			-200		200	mV
I_{OS}	短路输出电流	V_{CC}=3.3V/5.0V, -7 V ≤ V_O ≤ 12 V		-250		250	mA
接收器							
I_I	总线输入电流	DE = 0 V, V_{CC} = 0V/3.3V/5.0V	V_I = 12V		75	125	μA
			V_I = -7V	-100	-43		μA
		DE = 0 V, V_{CC} = 0V/3.3V/5.0V	V_I = 15V		91	125	μA
			V_I =-15V	-200	-97		μA
V_{TH+}	高电平输入阈值	V_{CC} = 3.3V/5.0V, 共模电压范围			-100	-20	mV
V_{TH-}	低电平输入阈值			-200	-130		mV
V_{HYS}	输入迟滞电压				30		mV
V_{OH}	高电平输出	V_{CC} = 3.3V/5.0V, I_{OH} = -4 mA		V_{CC}-0.4	V_{CC}-0.2		V
V_{OL}	低电平输出	V_{CC} = 3.3V/5.0V, I_{OL} = 4 mA			0.2	0.4	V
I_{OZR}	高阻输出漏电流	V_{CC} = 3.3V/5.0V, V_O = 0 V or V_{CC},REB= V_{CC}		-1		1	μA
输入逻辑							
I_{IN}	逻辑输入电流	3 V ≤ V_{CC} ≤ 5.5 V, 0 V ≤ V_{IN} ≤ V_{CC}		-6.2		6.2	μA
器件							
I_{CC}	工作电流(静态)	V_{CC}=5.0V, 驱动器和接收器使能, REB=0V, DE = V_{CC}, 空载		0.4	0.8	1.2	mA
		V_{CC}=3.3V, 驱动器和接收器使能, REB=0V, DE = V_{CC}, 空载			0.7	1.1	mA
		V_{CC}=5.0V, 驱动器使能, 接收器关闭， REB=V_{CC}, DE = V_{CC}, 空载			0.8	1.2	mA
		V_{CC}=3.3V, 驱动器使能, 接收器关闭， REB=V_{CC}, DE = V_{CC}, 空载			0.7	1.1	mA
		V_{CC}=5.0V, 驱动器关闭，接收器使能，REB=0V, DE = 0V, 空载			700	960	μA
		V_{CC}=3.3V, 驱动器关闭，接收器使能，REB=0V, DE = 0V, 空载			700	960	μA
		V_{CC}=5.0V, 驱动器关闭，接收器关闭，REB=V_{CC}, DE = 0V, DI=open, 空载			2.9	5	μA
		V_{CC}=3.3V, 驱动器关闭，接收器关闭，REB=V_{CC}, DE = 0V, DI=open, 空载			1.6	3	μA
T_{SD}	热关断温度				180		℃

注：

1. 当 T_A > 85 ℃, V_{test} < -7 V 并且 V_{CC} < 3.135 V 时, |V_{OD}| ≥ 1.4 V；
2. 在任何特定条件下，确保 V_{TH+}至少比 V_{TH-}高一个 V_{HYS}。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.6. 转换时间特性

所有典型值的测试条件为：T_A = 25°C；最小值/最大值参数在推荐工作条件下测试，除非另有说明。

参数		测试条件	最小值	典型值	最大值	单位
驱动器: CA-IF4805HS/CA-IF4805HM/CA-IF4805HD						
t_r, t_f	上升/下降时间	V_{CC}=5.0 V R_L = 54 Ω, C_L = 50 pF, 图 8-3。	250	360	680	ns
t_{PHL},t_{PLH}	传输延迟			280	500	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				10	ns
t_r, t_f	上升/下降时间	V_{CC}=3.3 V R_L = 54 Ω, C_L = 50 pF, 图 8-3。	240	350	670	ns
t_{PHL},t_{PLH}	传输延迟			280	500	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				10	ns
t_{PHZ},t_{PLZ}	关断时间	图 8-4，图 8-5。V_{CC}=3.3 V/5.0 V		10	200	ns
t_{PZH},t_{PZL}	使能时间	RE = 0 V, 图 8-4，图 8-5。 V_{CC}=3.3 V/5.0 V		100	600	ns
		RE = V_{CC}, 图 8-4，图 8-5。 V_{CC}=3.3 V/5.0 V 图 8-4		7.2	11	µs
接收器: CA-IF4805HS/CA-IF4805HM/CA-IF4805HD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V C_L = 15 pF, 图 8-6。		3.8	10	ns
t_{PHL},t_{PLH}	传输延迟			23	110	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				7	ns
t_{PHZ}, t_{PLZ}	关断时间	图 8-7，图 8-8。V_{CC}=3.3 V/5.0 V		7	20	ns
$t_{PZH(1)}$,$t_{PZL(1)}$, $t_{PZH(2)}$,$t_{PZL(2)}$,	使能时间	DE = V_{CC}, 图 8-7，图 8-8。 V_{CC}=3.3 V/5.0 V		8	20	ns
		DE = 0 V, 图 8-7，图 8-8。 V_{CC}=3.3 V/5.0 V		7	14	µs
驱动器：CA-IF4805FS/ CA-IF4805FM/ CA-IF4805FD						
t_r, t_f	上升/下降时间	V_{CC}=5.0 V R_L = 54 Ω, C_L = 50 pF, 图 8-3。	250	360	680	ns
t_{PHL},t_{PLH}	传输延迟			280	500	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				10	ns
t_r, t_f	上升/下降时间	V_{CC}=3.3 V R_L = 54 Ω, C_L = 50 pF, 图 8-3。	240	350	670	ns
t_{PHL},t_{PLH}	传输延迟			280	500	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				10	ns
接收器：CA-IF4805FS/ CA-IF4805FM/ CA-IF4805FD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V C_L = 15 pF, 图 8-6。		3.8	10	ns
t_{PHL},t_{PLH}	传输延迟			23	110	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				7	ns
驱动器: CA-IF4820HS/CA-IF4820HM/CA-IF4820HD/ CA-IF4850HS/CA-IF4850HM/CA-IF4850HD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V R_L = 54 Ω, C_L = 50 pF, 图 8-3。	1	3	6	ns
t_{PHL},t_{PLH}	传输延迟		3	10	20	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				3.5	ns
t_{PHZ},t_{PLZ}	关断时间	图 8-4，图 8-5。V_{CC}=3.3 V/5.0 V		15	25	ns
t_{PZH},t_{PZL}	使能时间	RE = 0 V, 图 8-4，图 8-5。 V_{CC}=3.3 V/5.0 V		20	50	ns
		RE = V_{CC}, 见图 8-4，图 8-5。 V_{CC}=3.3 V/5.0 V		2.5	10	µs
接收器: CA-IF4820HS/CA-IF4820HM/CA-IF4820HD/ CA-IF4850HS/CA-IF4850HM/CA-IF4850HD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V C_L = 15 pF, 图 8-6。		3.8	10	ns
t_{PHL},t_{PLH}	传输延迟			23	110	ns
$t_{SK(P)}$	脉宽失真, $\|t_{PHL} - t_{PLH}\|$				7	ns
t_{PHZ}, t_{PLZ}	关断时间	图 8-7, 图 8-8。V_{CC}=3.3 V/5.0 V		7	20	ns
$t_{PZH(1)}$,$t_{PZL(1)}$, $t_{PZH(2)}$,$t_{PZL(2)}$,	使能时间	DE = V_{CC}, 图 8-7，图 8-8。 V_{CC}=3.3 V/5.0 V		8	20	ns

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

		DE = 0 V, 图 8-7，图 8-8。 V_{CC}=3.3 V/5.0 V		7	14	μs
驱动器: CA-IF4820FS/CA-IF4820FM/CA-IF4820FD/ CA-IF4850FS/CA-IF4850FM/CA-IF4850FD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V。 R_L = 54 Ω, C_L = 50 pF, 图 8-3。	1	3	6	ns
t_{PHL},t_{PLH}	传输延迟		3	10	20	ns
$t_{SK(P)}$	脉宽失真, $\lvert t_{PHL} - t_{PLH} \rvert$				3.5	ns
接收器: CA-IF4820FS/CA-IF4820FM/CA-IF4820FD/ CA-IF4850FS/CA-IF4850FM/CA-IF4850FD						
t_r, t_f	上升/下降时间	V_{CC}=3.3 V/5.0 V。 C_L = 15 pF, 图 8-6。		2	6	ns
t_{PHL},t_{PLH}	传输延迟			25	40	ns
$t_{SK(P)}$	脉宽失真, $\lvert t_{PHL} - t_{PLH} \rvert$				3.5	ns

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.7. 典型特性: 所有器件

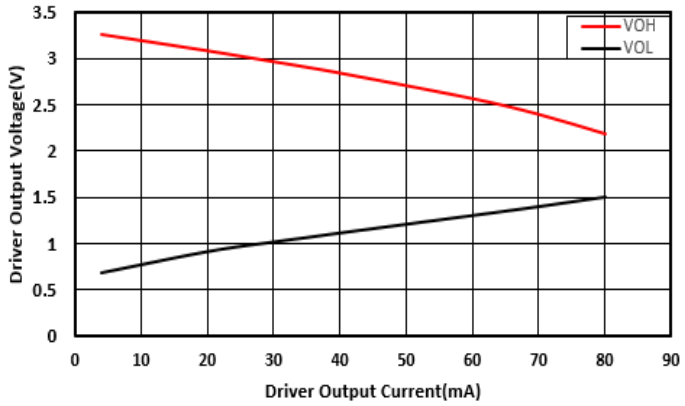


图 7-1. 驱动器输出电压与驱动器输出电流

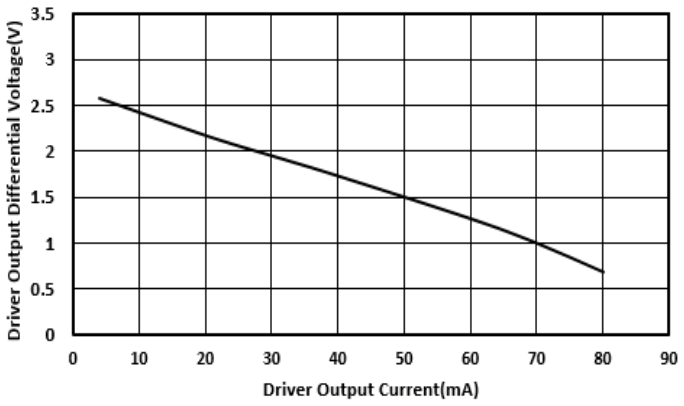


图 7-2. 驱动器差分输出电压与驱动器输出电流

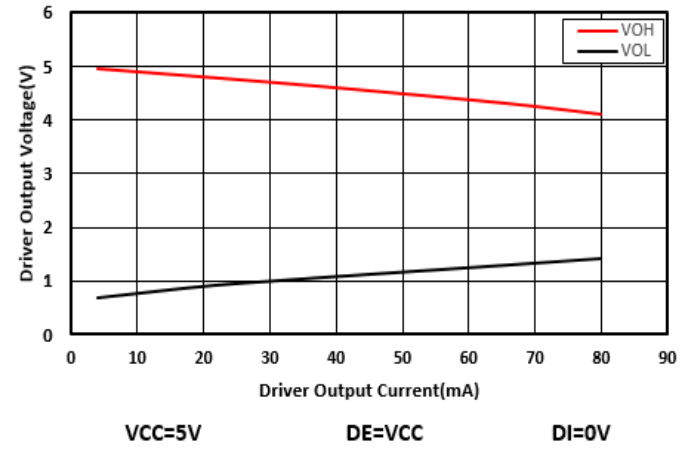


图 7-3. 驱动器输出电压与驱动器输出电流

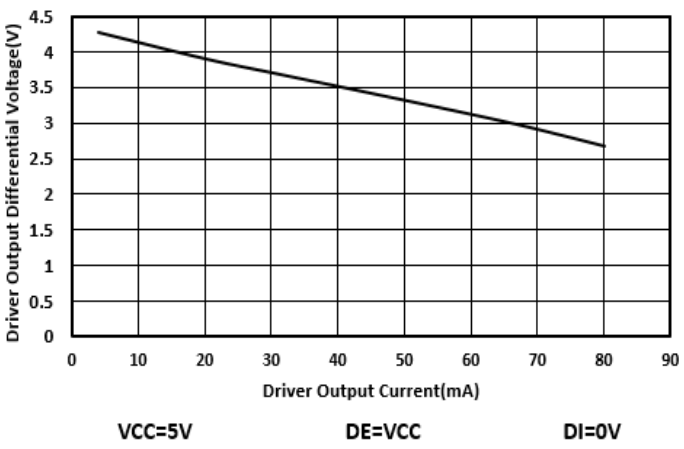


图 7-4. 驱动器差分输出电压与驱动器输出电流

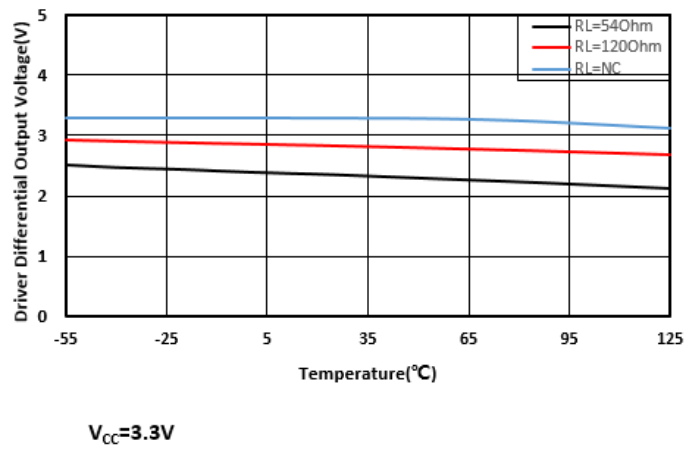


图 7-5. 驱动器差分输出电压与温度

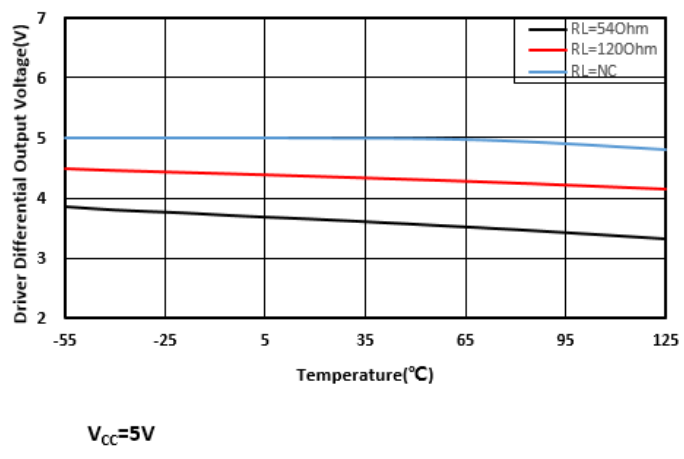


图 7-6. 驱动器差分输出电压与温度

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

典型特性：所有器件(续)

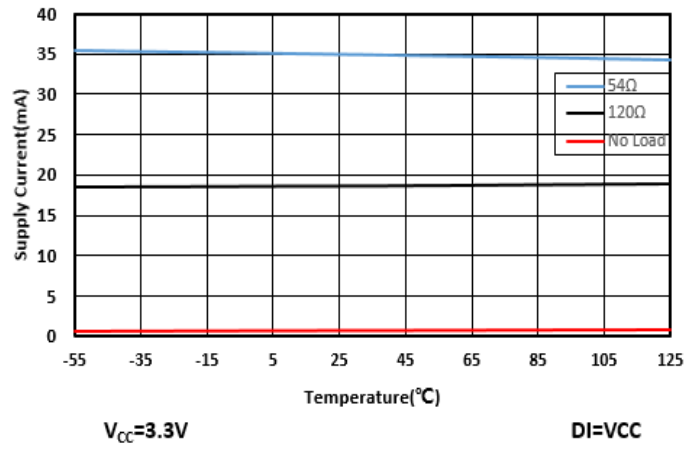


图 7-7. 静态电流与温度

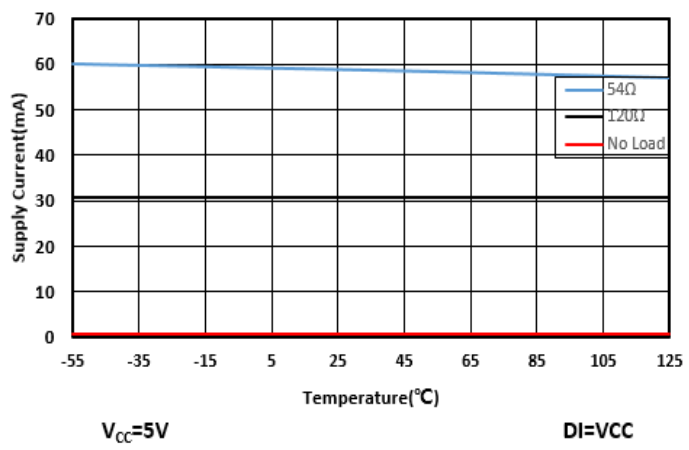


图 7-8. 静态电流与温度

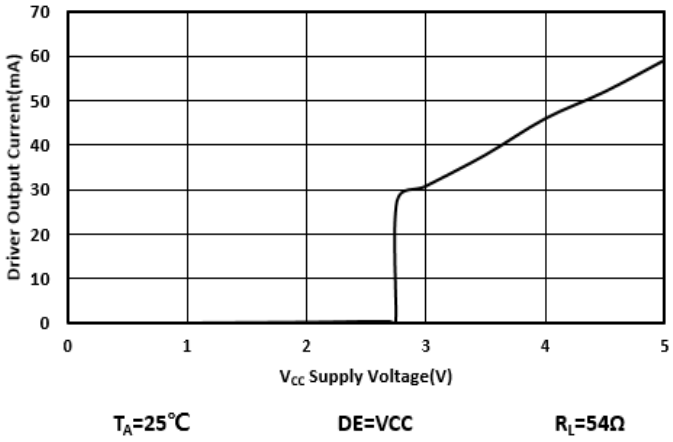


图 7-9. 驱动器输出电流与电源电压

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.8. CA-IF4805 典型特性

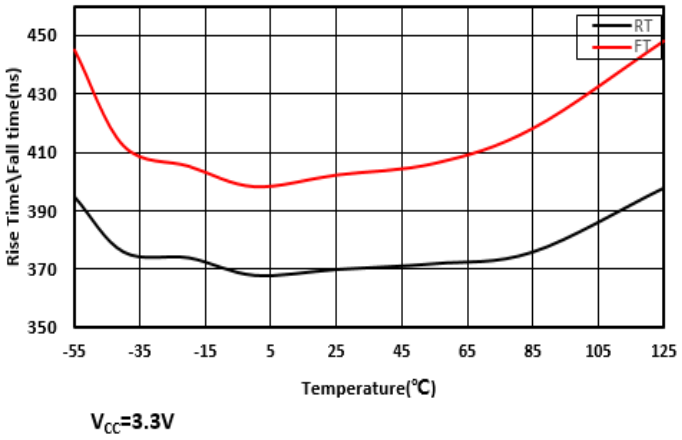


图 7-10. 驱动器输出上升/下降时间与温度

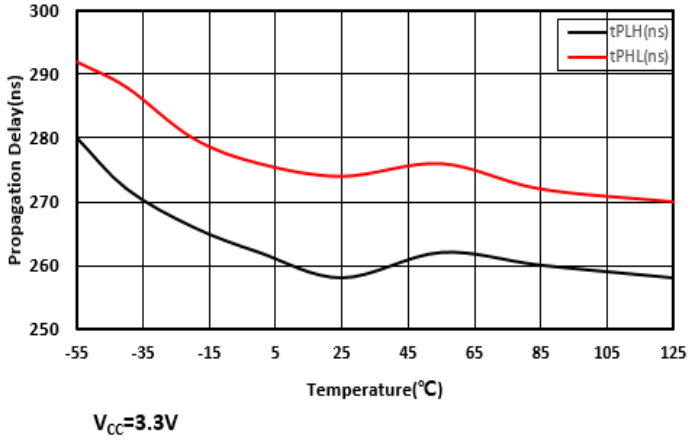


图 7-11. 驱动器传输延时与温度

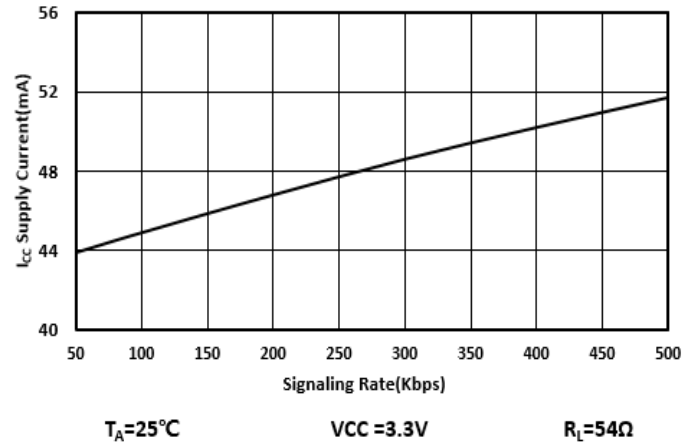


图 7-12. 电源电流与数据速率

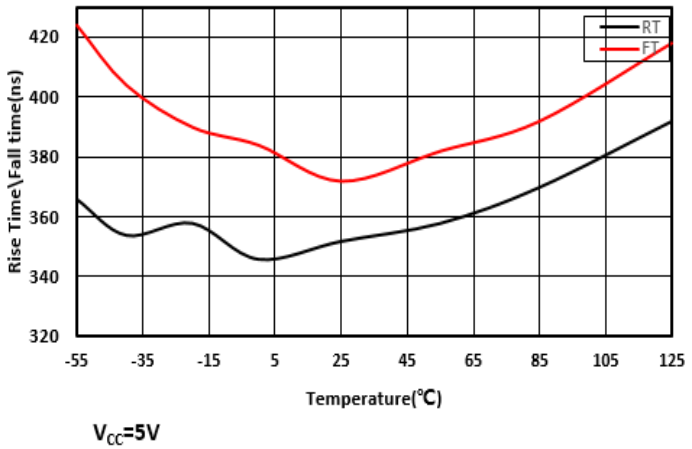


图 7-13. 驱动器输出上升/下降时间与温度

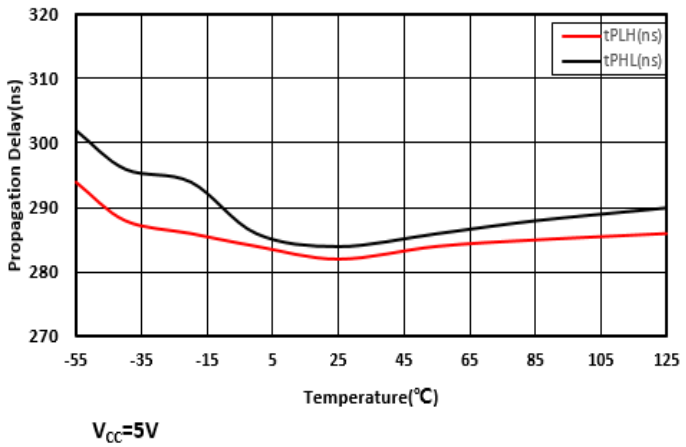


图 7-14. 驱动器传输延时与温度

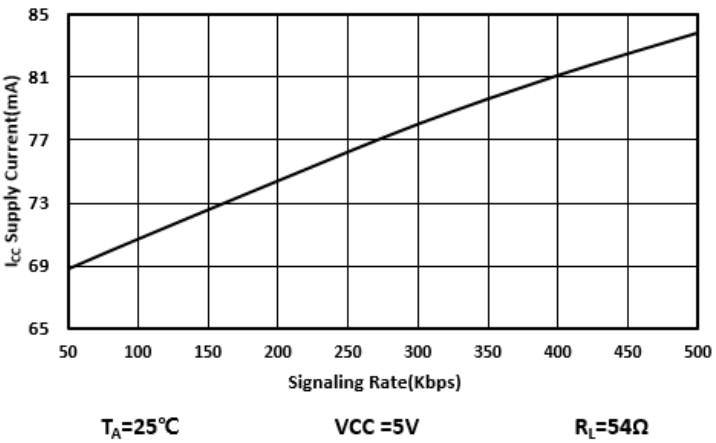


图 7-15. 电源电流与数据速率

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

7.9. CA-IF4820/CA-IF4850 典型特性

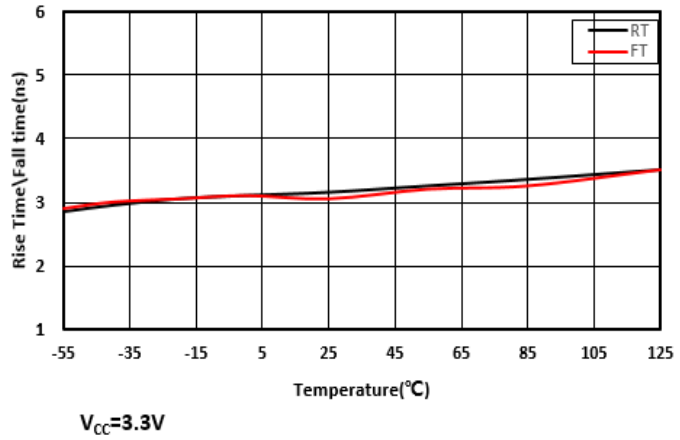


图 7-16. 驱动器输出上升/下降时间与温度

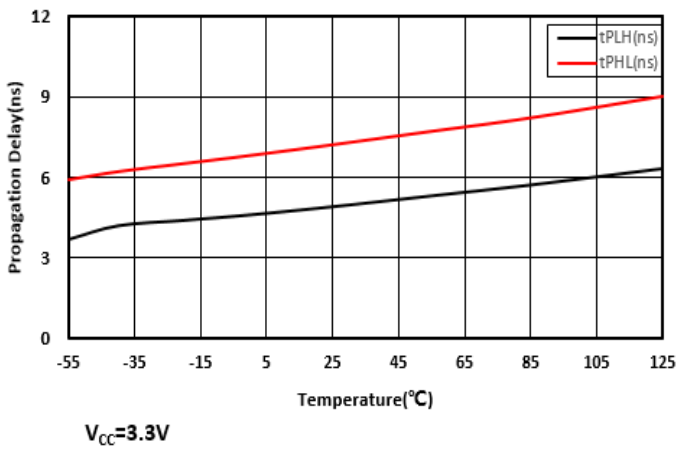


图 7-17. 驱动器传输延时与温度

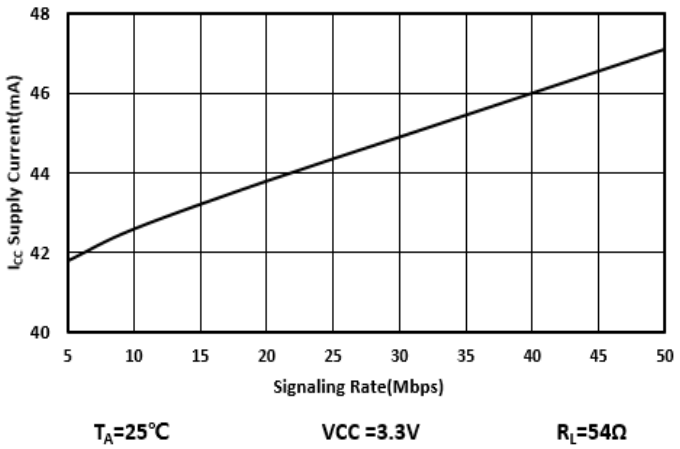


图 7-18. 电源电流与数据速率

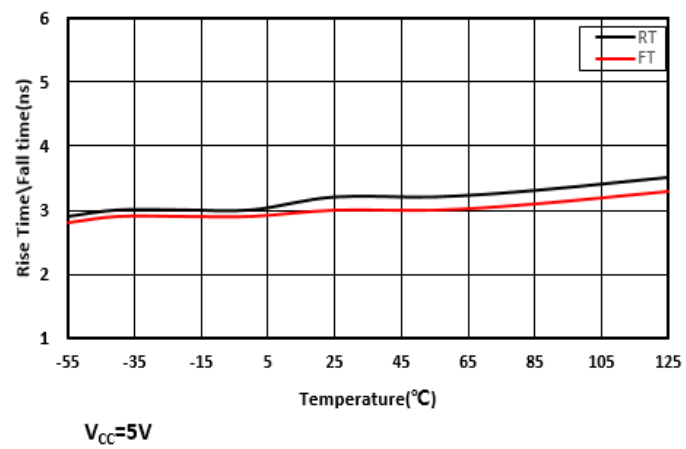


图 7-19. 驱动器输出上升/下降时间与温度

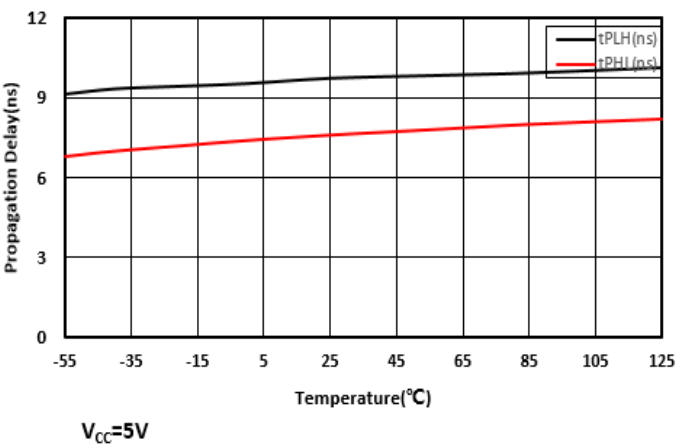


图 7-20. 驱动器传输延时与温度

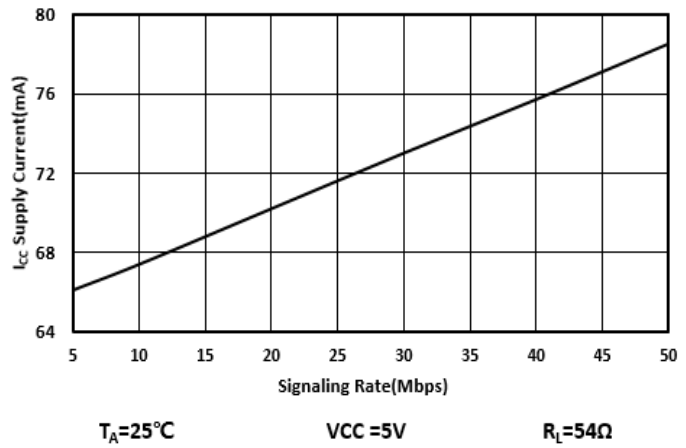


图 7-21. 电源电流与数据速率

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

8. 参数测量电路

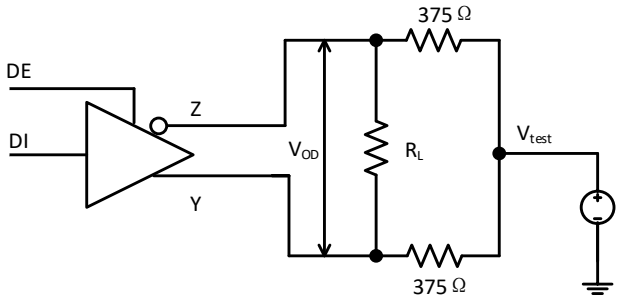


图 8-1. 驱动器差分输出电压 @ 共模负载

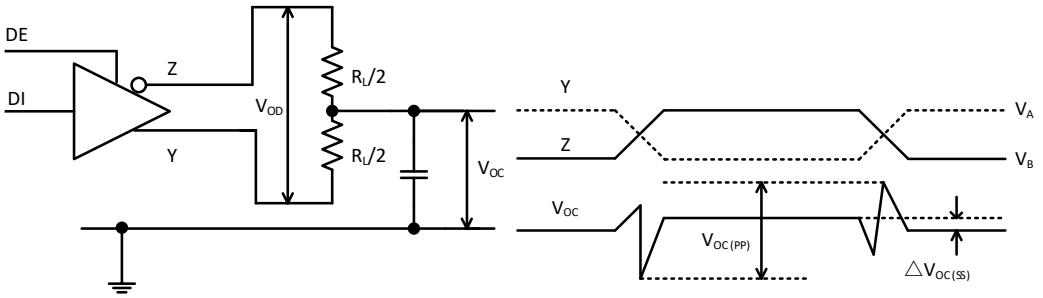


图 8-2. 驱动器差分输出和共模输出@ RS-485 负载

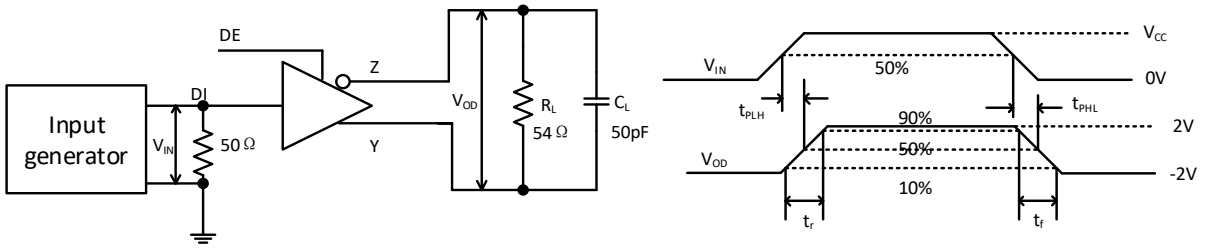


图 8-3. 驱动器差分输出的上升和下降时间以及传播延迟

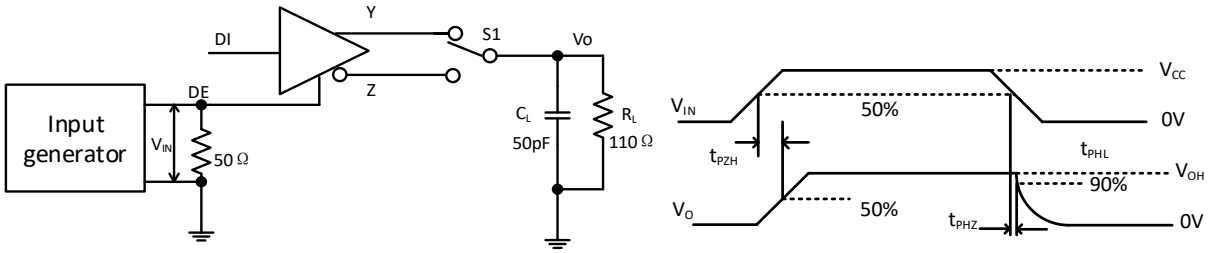


图 8-4. 驱动器使能和禁用时间：高电平输出，带下拉负载

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

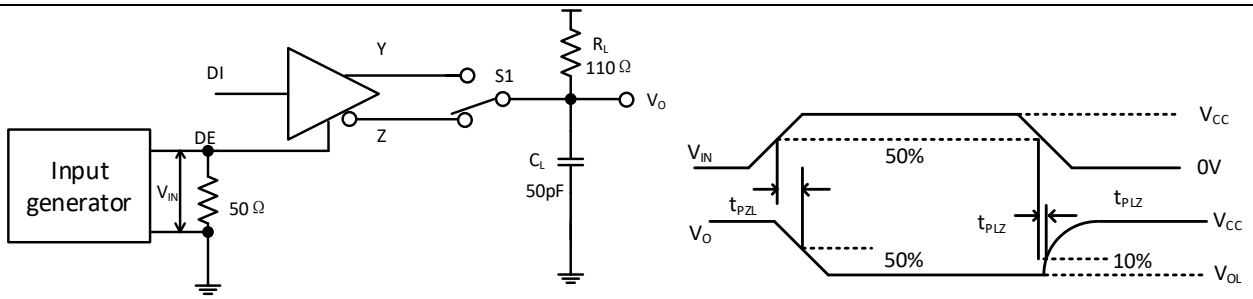


图 8-5. 驱动器使能和禁用时间：低电平输出，带下拉负载

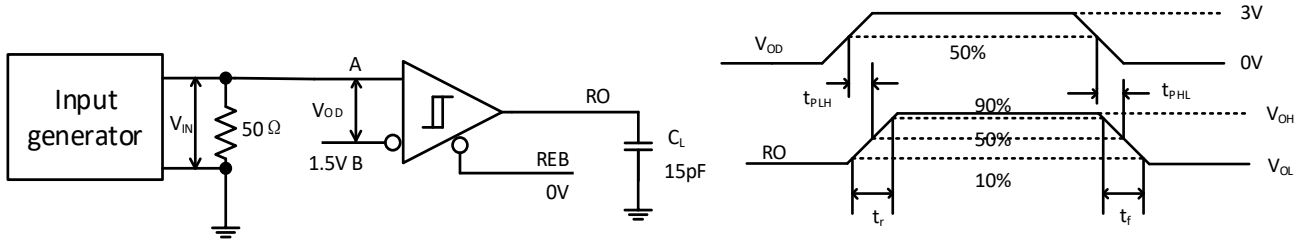


图 8-6. 接收器输出上升和下降时间以及传播延迟

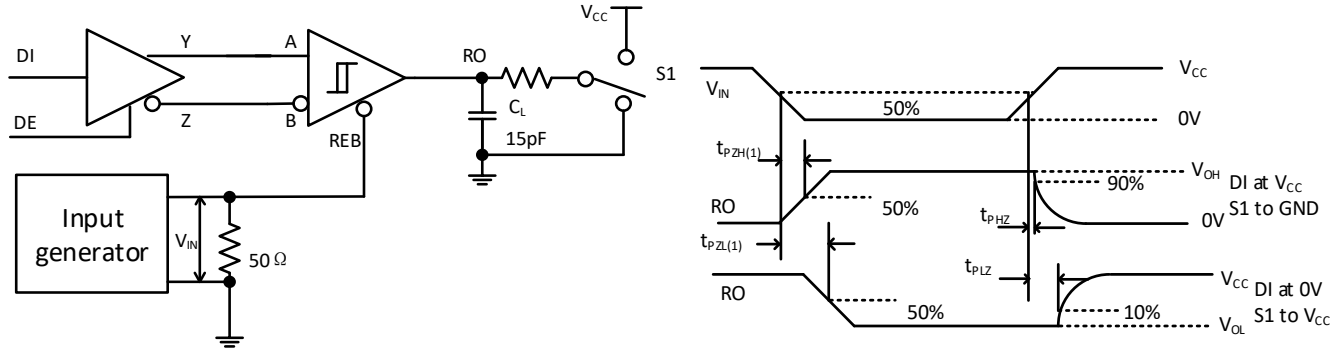


图 8-7. 接收器使能/禁止时间，驱动器使能

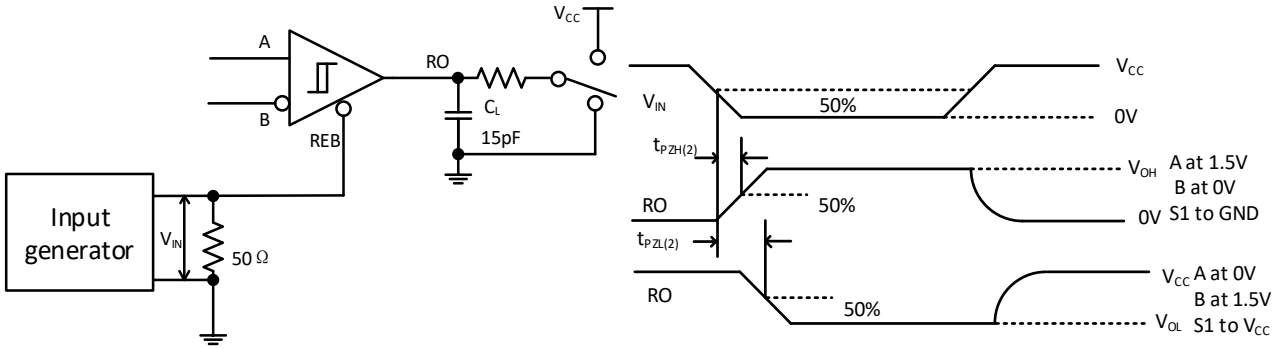


图 8-8 接收器使能/禁止时间，驱动器禁止

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

9. 详细说明

9.1. 性能综述

CA-IF48xx 系列器件优化用于 RS-485/RS-422 通信，满足且优于 EIA/TIA-485 标准要求。器件内部集成一个差分驱动器和一个差分接收器，接收器具有 1/8 单位负载输入阻抗，允许同一总线上挂接多达 256 个节点。该系列产品中，CA-IF48xxHS/HM/HD 提供半双工收发器，而 CA-IF48xxFS/FM/FD 提供全双工收发器。并且，CA-IF48xxHS/HM/HD 半双工收发器带有发送器使能(DE)和接收器使能(REB)控制引脚，禁止状态下，将发送器或接收器置于高阻态。CA-IF4805 驱动器采用限摆率设计，将数据速率限制在最高 500kbps，以降低 EMI。CA-IF4820 和 CA-IF4850 驱动器未对摆率加以限制，可分别支持高达 20Mbps 和 50Mbps 的通信速率。

为了降低系统设计复杂度，减少外部元件数量，CA-IF4805/CA-IF4820/CA-IF4850 器件内部集成了完备的保护功能，其接收器输入和发送器输出端可承受±30V 的过压故障；共模输入范围高于标准要求，达到±15V。此外，内部 ESD 保护电路为半双工器件的总线引脚提供高达±30kV 的 ESD (HBM)保护，为全双工器件的总线引脚提供±15kV 的 ESD (HBM)保护。另外两个保护机制可避免器件由于过大功耗而损坏，一个是驱动器输出级的过流保护，能够在发生输出短路时有效保护器件；另一个是热关断，一旦检测到器件温度超出 T_{SD} (180°C，典型值)，则立即将驱动器输出置于高阻态，直到结温恢复到正常范围时，恢复正常工作模式。

9.2. 工作模式

9.2.1. CA-IF48xxHS/HM/HD 器件功能

CA-IF48xxHS/HM/HD 的发送器将来自控制器的单端输入信号(DI)转换成 RS-485/RS-422 差分输出(A 和 B)，用于总线传输。发送器真值表如表 9-1。发送器带有使能控制引脚 DE，并在该引脚提供内部下拉。当 DE 引脚接低电平或开路时，禁止发送器工作，将 A、B 置于高阻态。此外，器件的发送器输入 DI 由内部上拉至 V_{CC}，即当发送器使能时，如果 DI 开路，则发送器输出 A 为高电平、B 为低电平。

表 9-1. CA-IF48xxHS/HM/HD 发送器真值表

输入	使能	输出		说明
DI	DE	A	B	
H	H	H	L	总线输出高电平
L	H	L	H	总线输出低电平
X	L	Z	Z	发送器禁用
X	开路	Z	Z	发送器禁用
开路	H	H	L	总线输出高电平

注：
L = 低电平，H = 高电平，Z = 高阻，X = 无关。

CA-IF48xxHS/HM/HD 的接收器将来自总线(A 和 B)的差分信号转换为单端输出，为控制器提供逻辑电平输出 RO。接收器带有使能控制 REB，当 REB 置为低电平时，接收器使能；REB 置为高电平时，则禁止接收器工作，将接收器输出 RO 置于高阻态。另外，接收器使能控制 REB 引脚在内部上拉至 V_{CC}，该引脚浮空时，关闭接收器，RO 输出高阻。

CA-IF4805/CA-IF4820/CA-IF4850 系列 RS-485/RS-422 收发器具有真正的失效保护功能。接收器将门限电压分别调整在 V_{TH+} (-20mV，最大值)高电平门限和 V_{TH-} (-200mV，最小值)低电平门限，当 REB 为低电平时，如果接收器差分输入 V_A-V_B ≥ -20mV，接收器输出 RO 将保持高电平输出；如果差分输入 V_A-V_B ≤ -200mV，接收器输出低电平。由此，失效保护电路能够在接收器没有连接总线电缆，或者是当总线开路、短路、空闲状态时，确保接收器输出确定的高电平状态。在兼容 RS-485 标准的同时，省去了外部失效保护偏置电阻，详见接收器真值表(表 9-2)

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

表 9-2. CA-IF48xxHS/HM/HD 接收器真值表

差分输入	使能控制	输出	说明
$V_{ID} = V_A - V_B$	REB	RO	
$V_{TH+} < V_{ID}$	L	H	接收到总线高电平
$V_{TH-} < V_{ID} < V_{TH+}$	L	不确定	总线状态不确定
$V_{ID} < V_{TH-}$	L	L	接收到总线低电平
X	H	Z	接收器禁止
X	开路	Z	接收器禁止
总线开路	L	H	失效保护，输出高电平
总线短路	L	H	失效保护，输出高电平
总线空闲(端接)	L	H	失效保护，输出高电平
注： L = 低电平，H = 高电平，Z = 高阻，X = 无关。			

9.2.2. CA-IF48xxFS/FM/FD 器件功能

CA-IF48xxFS/FM/FD 为全双工器件，其接收器与发送器不具备使能控制，始终处于有效工作状态。发送器的差分输出电压 Y、Z 始终跟随数据输入 DI 的状态。由于 DI 引脚上拉至 V_{CC}，当该引脚置于高电平或浮空时，Y 输出高电平，Z 输出低电平。如果 DI 置低，则总线输出反相：Y 为低电平、Z 为高电平。考虑到该系列器件的驱动器没有使能控制，实际应用中需特别注意总线的数据冲突问题，只能将其用于点对点通信，或单发多收的总线拓扑。

表 9-3. CA-IF48xxFS/FM/FD 发送器真值表

输入	输出		说明
DI	Y	Z	
H	H	L	总线输出高电平
L	L	H	总线输出低电平
开路	H	L	总线输出高电平
注： L = 低电平，H = 高电平，Z = 高阻，X = 无关。			

接收器差分输入 $V_{ID} = V_A - V_B$，当 V_{ID} 高于 V_{TH+} 时，接收器输出 RO 为高电平，当 V_{ID} 低于 V_{TH-}时，输出低电平。如上所述，全双工器件接收器同样具有失效保护功能，即当接收器输入开路、短路或总线上所有驱动器关闭时，接收器输出保持高电平。接收器真值表如表 9-4 所示。

表 9-4. CA-IF48xxFS/FM/FD 接收器真值表

差分输入	使能控制	输出	说明
$V_{ID} = V_A - V_B$	REB	RO	
$V_{TH+} < V_{ID}$	L	H	接收到总线高电平
$V_{TH-} < V_{ID} < V_{TH+}$	L	不确定	总线状态不确定
$V_{ID} < V_{TH-}$	L	L	接收到总线低电平
总线开路	L	H	失效保护，输出高电平
总线短路	L	H	失效保护，输出高电平
总线空闲(端接)	L	H	失效保护，输出高电平
注： L = 低电平，H = 高电平，Z = 高阻，X = 无关。			

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

10. 应用信息

CA-IF48xx 系列产品包含半双工和全双工 RS-485 收发器，用于异步数据传输。对于半双工器件，通过一对儿双绞线连接驱动器和接收器，它们的使能引脚用于配置不同的工作模式。而全双工的实现则需要两对儿双绞线(四根线)连接网络，允许每个节点在一对儿双绞线上发送数据，同时在另一对儿双绞线上接收数据。

RS-485 网络允许在一对儿总线上并行挂接多个收发器，如图 10-1 半双工 RS-485 典型拓扑所示，为了消除线路上的信号反射，总线两端需要接终端匹配电阻 R_T，该电阻的阻值与电缆的特性阻抗 Z_O 相等。此外，需要保持总线上中间节点的接头尽可能短，以确保实现尽可能远的传输距离，以及尽可能高的传输速率。对于 CA-IF48xxFS/FM/FD 全双工收发器，由于其发送器没有使能控制，这些器件通常用于点对点通信，以避免出现总线冲突，如图 10-2 所示。

为确保器件在任何速率下可靠工作，在电源引脚安装一个至少 100nF 的陶瓷电容，电容须紧靠电源引脚安装，以降低电源纹波。

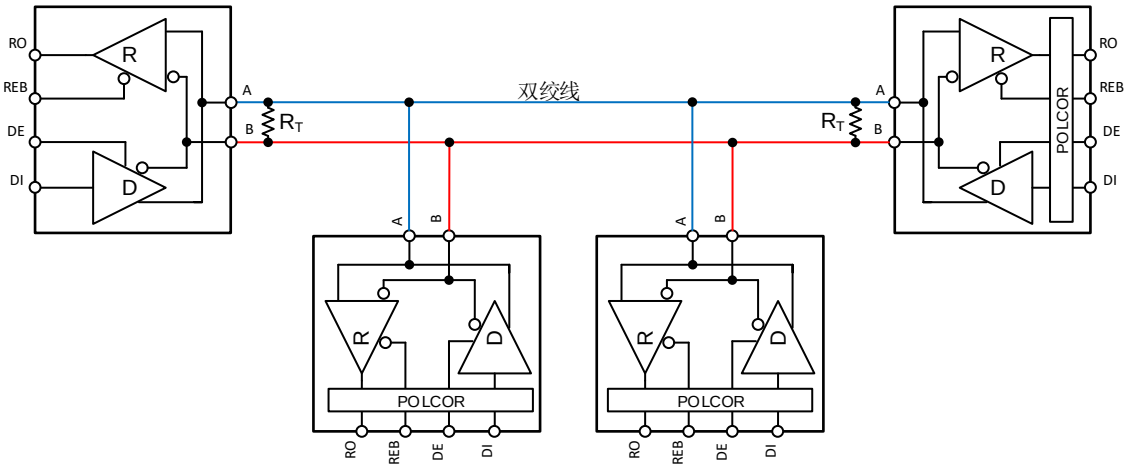


图 10-1. CA-IF48xxHS/HM/HD 半双工 RS-485 收发器网络连接

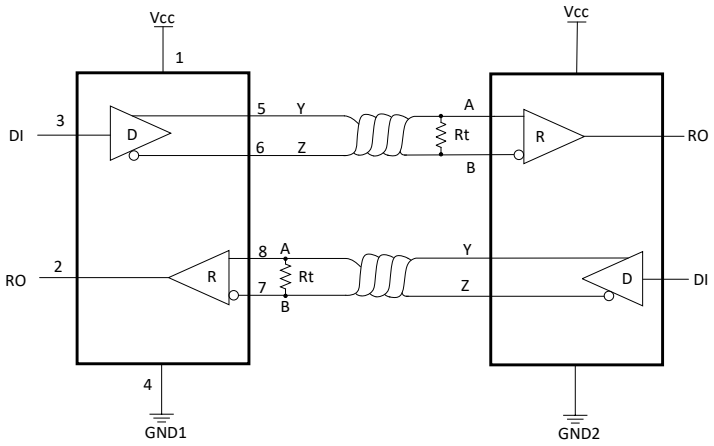
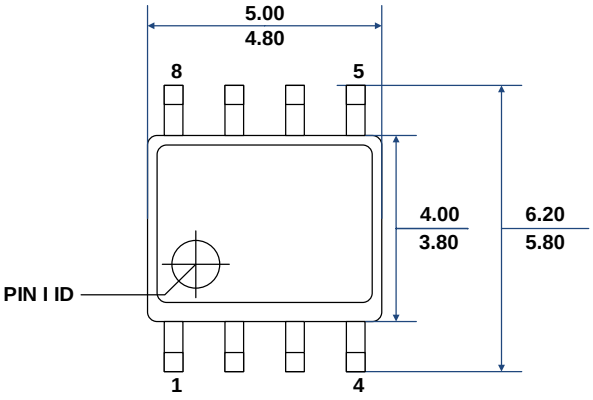


图 10-2. CA-IF48xxFS/FM/FD 全双工 RS-485 收发器点-点通信网络

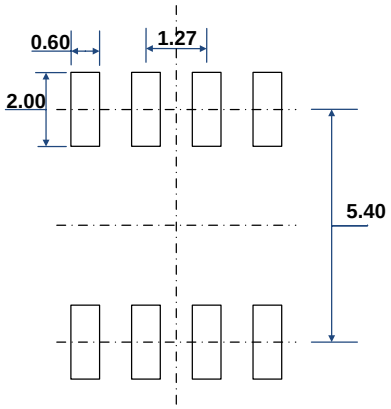
Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

11. 封装信息

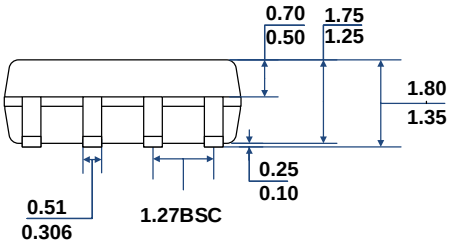
11.1. SOIC8 外形尺寸



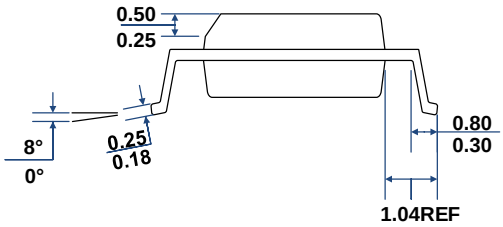
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



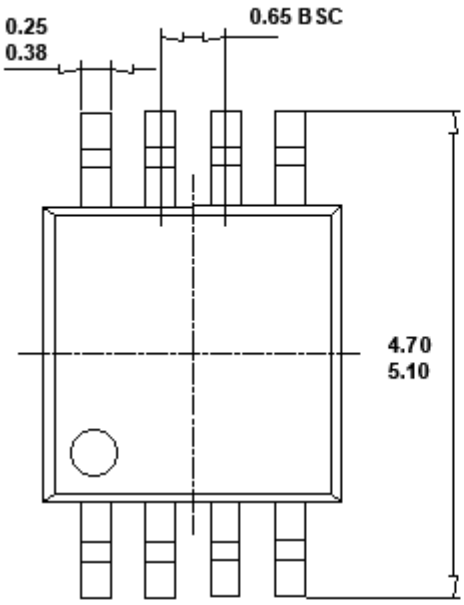
LEFT-SIDE VIEW

注:

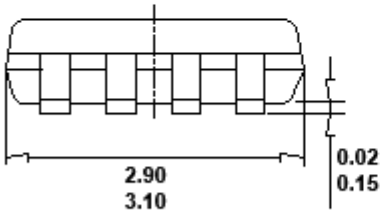
1. 除角度外，图中所有数值的单位为毫米。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

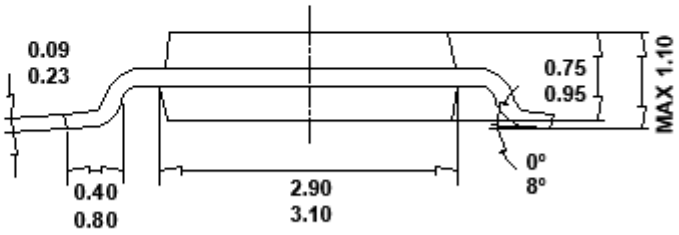
11.2. MSOP8 外形尺寸



TOP VIEW



BOTTOM VIEW



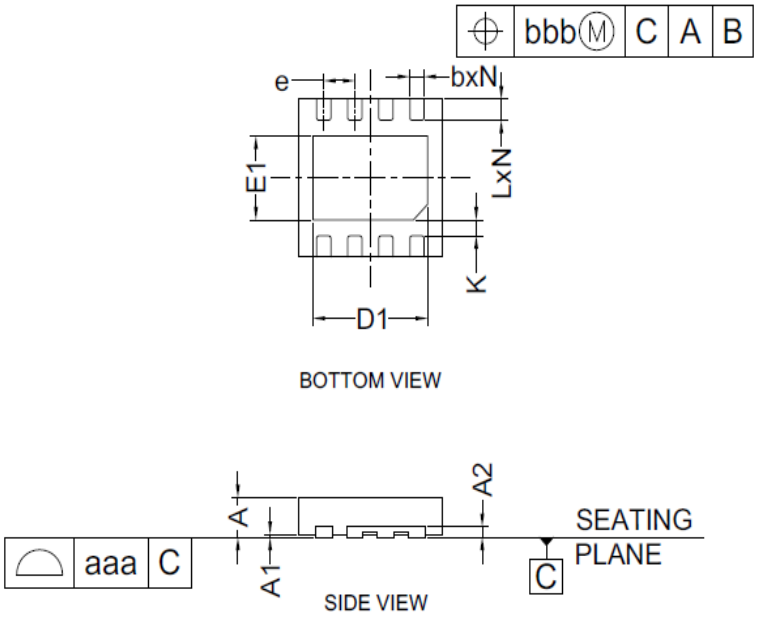
LEFT SIDE VIEW

注:

1. 除角度外，图中所有数值的单位为毫米。

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

11.3. DFN8 外形尺寸

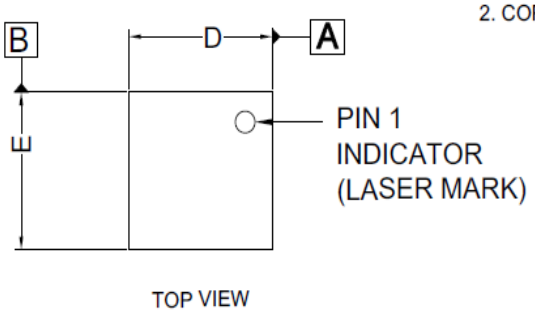


COMMON DIMENSIONS

(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	TYP	MAX
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2		0.203	
b	0.30	0.35	0.40
D	2.90	3.00	3.10
D1	2.51	2.56	2.61
E	2.90	3.00	3.10
E1	1.55	1.60	1.65
e		0.65BSC	
L	0.35	0.40	0.45
N		8	
aaa		0.08	
bbb		0.10	

NOTES:
1. CONTROLLING DIMENSIONS ARE IN MILLIMETERS(ANGLES IN DEGREES).
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS THE TERMINALS.



Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

12. 焊接信息

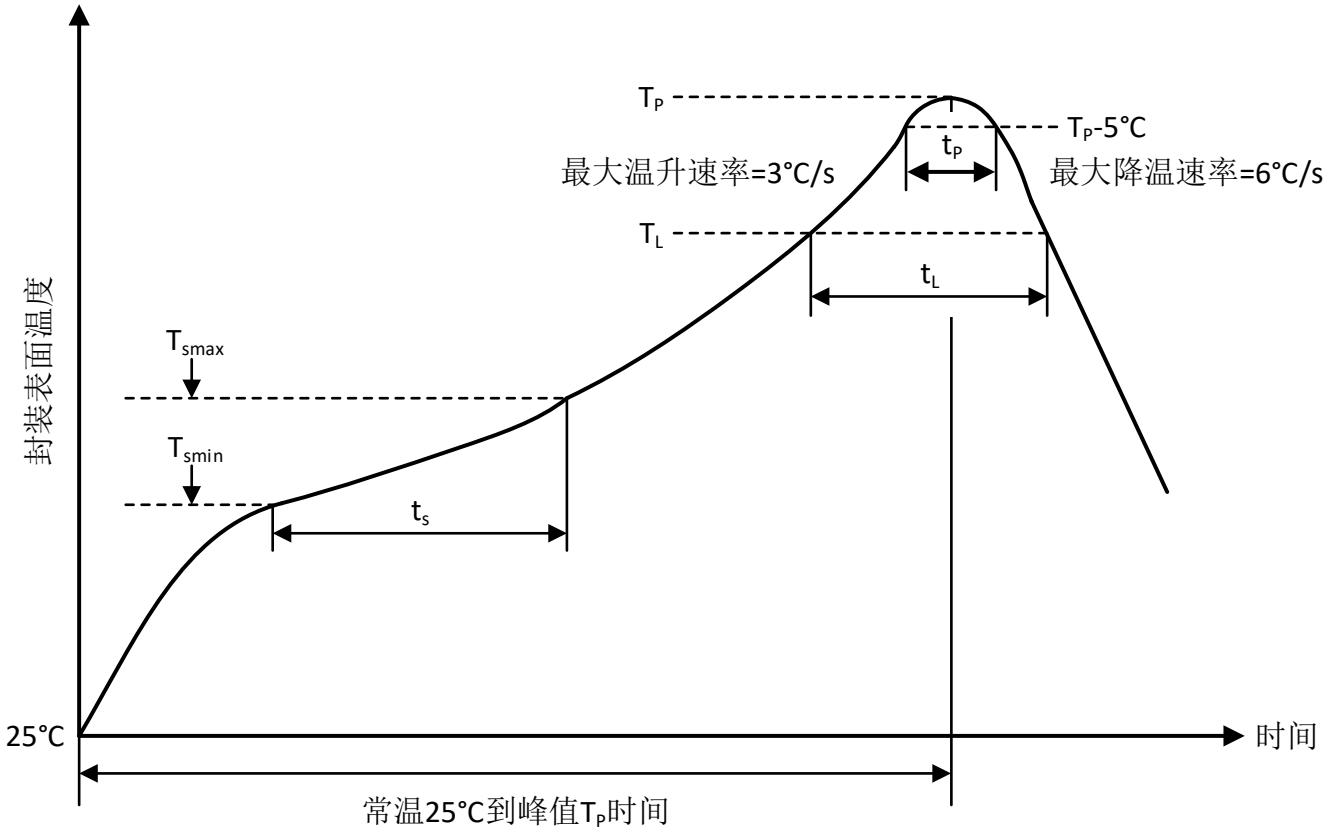


图 12-1 焊接温度曲线

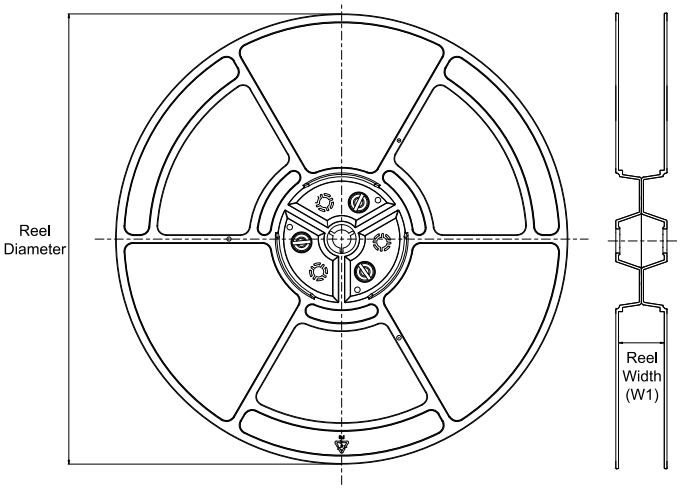
表 12-1 焊接温度参数

简要说明	无铅焊接
温升速率（T_L=217°C 至峰值 T_P）	最大 3°C/s
T_{smin}=150°C 到 T_{smax}=200°C 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率（峰值 T_P 至 T_L=217°C）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

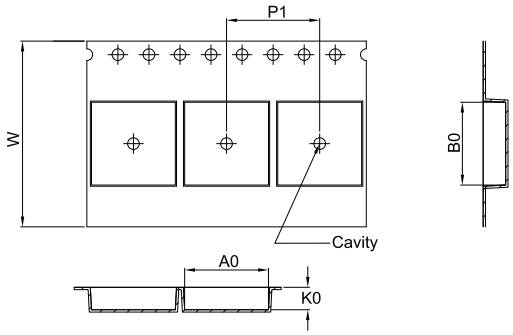
Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

13. 卷带信息

REEL DIMENSIONS

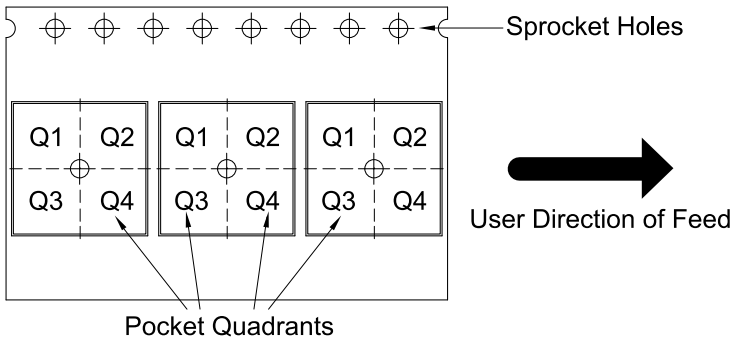


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4805HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4805FS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4820HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4820FS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4850HS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4850FS	SOIC	S	8	2500	330	12.4	6.5	5.4	2.1	8.0	12.0	Q1
CA-IF4805HM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4805FM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4820HM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4820FM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4850HM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4850FM	MSOP8	M	8	5000	330	12.4	5.2	3.3	1.50	8.00	12.00	Q1
CA-IF4805HD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1
CA-IF4805FD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1
CA-IF4820HD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1
CA-IF4820FD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1
CA-IF4850HD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1
CA-IF4850FD	DFN	D	8	3000	180	12.4	3.3	3.3	1.1	8.0	12.0	Q1

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com

Copyright © 2019, Chipanalog Incorporated
上海川土微电子有限公司